

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-308138

(43)Date of publication of application : 05.11.1999

(51)Int.Cl.

H04B 1/26

H03J 5/02

(21)Application number : 10-110000

(71)Applicant : SHARP CORP

(22)Date of filing : 21.04.1998

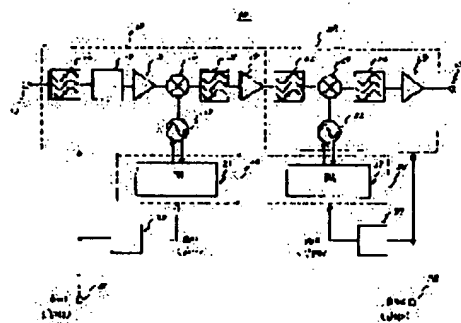
(72)Inventor : KITAGUCHI MASAKI
ITAGAKI KENJI

(54) TUNER DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To miniaturize the external size of a tuner device and to reduce the number of external power sources supplying power to the tuner device.

SOLUTION: In this tuner device 10, PLL circuits 21 and 29 control the frequencies of the local oscillation signals of local oscillators 17 and 25 and frequency conversion means 16 and 24 converting the frequencies based on the frequencies of the local oscillation signals is installed. The power voltage of the PLL circuit parts 21 and 29 and the power voltage of a tuner circuit part except for the PLL circuit parts are set to different voltage values. A voltage conversion means 33 and 34 are installed between the power input parts of the PLL circuit parts 21 and 29 and the power input part of the tuner circuit part except for the PLL circuit parts 21 and 29. The power input parts of the PLL circuit parts 21 and 29 and the power input part of the tuner circuit part other than for the PLL circuit part are composed of one common power input part.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-308138

(43)公開日 平成11年(1999)11月5日

(51)Int.Cl.⁶

識別記号

F I

H 0 4 B 1/26

H 0 4 B 1/26

A

H 0 3 J 5/02

H 0 3 J 5/02

A

審査請求 未請求 請求項の数 3 O L (全 11 頁)

(21)出願番号 特願平10-110000

(22)出願日 平成10年(1998)4月21日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 北口 勝紀

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72)発明者 板垣 憲志

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

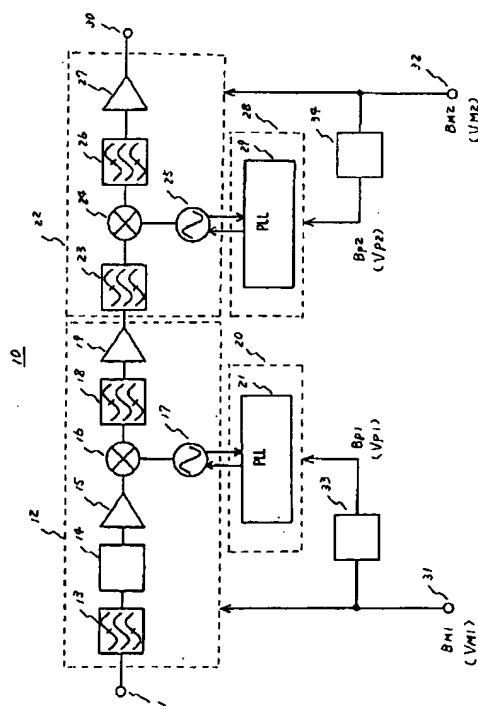
(74)代理人 弁理士 小池 隆彌

(54)【発明の名称】 チューナ装置

(57)【要約】

【課題】 チューナ装置の外形を小型化すると共に、チューナ装置に供給する外部電源の数を減らす。

【解決手段】 PLL回路により、局部発振器の局部発振信号の周波数を制御し、該局部発振信号の周波数に基づいて周波数変換を行う周波数変換手段を有するチューナ装置において、PLL回路部の電源電圧と該PLL回路部以外のチューナ回路部の電源電圧とを異なる電圧値とし、PLL回路部の電源入力部と該PLL回路部以外のチューナ回路部の電源入力部間に、電圧変換手段を備えることにより、PLL回路部の電源入力部と該PLL回路部以外のチューナ回路部の電源入力部とを共通の1つの電源入力部とする。



【特許請求の範囲】

【請求項 1】 PLL 回路により、局部発振器の局部発振信号の周波数を制御し、該局部発振信号の周波数に基づいて周波数変換を行う周波数変換手段を有するチューナ装置において、

PLL 回路部の電源電圧と該 PLL 回路部以外のチューナ回路部の電源電圧とを異なる電圧値とし、PLL 回路部の電源入力部と該 PLL 回路部以外のチューナ回路部の電源入力部間に、電圧変換手段を備えることにより、PLL 回路部の電源入力部と該 PLL 回路部以外のチューナ回路部の電源入力部とを共通の 1 つの電源入力部としたことを特徴とするチューナ装置。

【請求項 2】 請求項 1 記載のチューナ装置において、PLL 回路部の電源電圧を、該 PLL 回路部以外のチューナ回路部の電源電圧より低い電圧値とし、PLL 回路部の電源入力部と該 PLL 回路部以外のチューナ回路部の電源入力部間に、電圧降下手段を備えることにより、PLL 回路部以外のチューナ回路部の電源入力部より供給された電源を、電圧降下手段を介して PLL 回路部に電源供給することを特徴とするチューナ装置。

【請求項 3】 請求項 1 記載のチューナ装置において、PLL 回路部の電源電圧を、該 PLL 回路部以外のチューナ回路部の電源電圧より高い電圧値とし、PLL 回路部の電源入力部と該 PLL 回路部以外のチューナ回路部の電源入力部間に、電圧降下手段を備えることにより、PLL 回路部の電源入力部より供給された電源を、電圧降下手段を介して PLL 回路部以外のチューナ回路部に電源供給することを特徴とするチューナ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、テレビジョン放送などの高周波信号を受信するためのチューナ装置に関する。

【0002】

【従来の技術】図 5 は従来例のダブルコンバージョンチューナ装置の概略的構成を示すブロック回路図、また、図 6 は従来例のシングルコンバージョンチューナ装置の概略的構成を示すブロック回路図、図 7 はチューナ装置の外観図である。以下、図 5、図 6、図 7 を用いて従来の技術を説明する。

【0003】図 5 において、従来例のダブルコンバージョンチューナ装置 100 は、受信した高周波信号を 2 回の周波数変換処理によって、中間周波信号を出力するものであり、第 1 の周波数変換処理部 102、第 1 のフェイズロックループ（以下、PLL と略称する）回路部 110、第 2 の周波数変換処理部 112、第 2 の PLL 回路部 118 とから成る。

【0004】第 1 の周波数変換処理部 102 は、バンドパスフィルタ（以下、BPF と略称する）103、自動利得制御回路 104、高周波増幅回路 105、第 1 の周

波数変換器 106、第 1 の局部発振器 107、第 1 の BPF 108、第 1 の中間周波増幅回路 109 とから成る。

【0005】高周波信号入力端子 101 より入力された高周波信号は、BPF 103 により、受信周波数帯域に対応したフィルタリング処理が施され、自動利得制御回路 104 にて入力された高周波信号のレベルに応じた利得制御電圧により、所定のレベル範囲に制限された後、高周波増幅回路 105 により増幅されて、第 1 の周波数変換器 106 に供給される。

【0006】第 1 の周波数変換器 106 は、第 1 の局部発振器 107 から出力される第 1 の局部発振信号に基づいて、入力された高周波信号を第 1 の中間周波信号に周波数変換（アップコンバート）している。該入力された高周波信号の周波数を f_{RF} とし、第 1 の局部発振信号の周波数を f_{LO1} とし、第 1 の中間周波信号の周波数を f_{IF1} とするとき、

$$f_{LO1} - f_{RF} = f_{IF1} \quad \dots (1)$$

となる。

【0007】第 1 の局部発振器 107 は、第 1 の PLL 回路部 110 の、第 1 の PLL 回路 111 によって、受信チャンネルに合わせてその発振周波数が安定的に制御される。

【0008】第 1 の周波数変換器 106 から出力された第 1 の中間周波信号は、第 1 の BPF 108 により、第 1 の中間周波信号の周波数帯域に対応したフィルタリング処理が施され、第 1 の中間周波増幅回路 109 で増幅された後、第 2 の周波数変換処理部 112 に供給される。

【0009】第 2 の周波数変換処理部 112 は、第 1 の BPF 113、第 2 の周波数変換器 114、第 2 の局部発振器 115、第 2 の BPF 116、第 2 の中間周波増幅回路 117 とから成る。

【0010】第 1 の周波数変換処理部 102 より供給された第 1 の中間周波信号は、再度第 1 の BPF 113 により、第 1 の中間周波信号の周波数帯域に対応したフィルタリング処理が施され、第 2 の周波数変換器 114 に供給される。

【0011】第 2 の周波数変換器 114 は、第 2 の局部発振器 115 から出力される第 2 の局部発振信号に基づいて、入力された第 1 の中間周波信号を第 2 の中間周波信号に周波数変換（ダウンコンバート）している。該入力された第 1 の中間周波信号の周波数を f_{IF1} とし、第 2 の局部発振信号の周波数を f_{LO2} とし、第 2 の中間周波信号の周波数を f_{IF2} とするとき、

$$|f_{IF1} - f_{LO2}| = f_{IF2} \quad \dots (2)$$

となる。

【0012】第 2 の局部発振器 115 は、第 2 の PLL 回路部 118 の、第 2 の PLL 回路 119 によって、その発振周波数が安定的に制御される。

10

20

30

40

50

【0013】第2の周波数変換器114から出力された第2の中間周波信号は、第2のBPF116により、第2の中間周波信号の周波数帯域に対応したフィルタリング処理が施され、第2の中間周波増幅回路117で増幅された後、中間周波信号出力端子120より出力される。

【0014】図5において、従来例のダブルコンバージョンチューナ装置100は、電源は前記4つの回路ブロック毎に独立して供給されている。前記4つの回路ブロックとは、第1の周波数変換処理部102、第1のPLL回路部110、第2の周波数変換処理部112、第2のPLL回路部118である。

【0015】第1の周波数変換処理部102は、BPF103、自動利得制御回路104、高周波増幅回路105、第1の周波数変換器106、第1の局部発振器107、第1のBPF108、第1の中間周波増幅回路109とから成り、受信した高周波信号を第1の中間周波信号に変換する働きをし、主にアナログ信号を扱う回路である。

【0016】第1のPLL回路部110は、第1のPLL回路111から成り、受信チャンネルに合わせて、第1の局部発振器107の発振周波数を制御すると共に、その周波数を安定化する働きをし、主にデジタル信号を扱う回路である。

【0017】第2の周波数変換処理部112は、第1のBPF113、第2の周波数変換器114、第2の局部発振器115、第2のBPF116、第2の中間周波増幅回路117とから成り、第1の中間周波信号を第2の中間周波信号に変換する働きをし、主にアナログ信号を扱う回路である。

【0018】第2のPLL回路部118は、第2のPLL回路119から成り、第2の局部発振器115の発振周波数を安定化する働きをし、主にデジタル信号を扱う回路である。

【0019】上記のように、4つの回路ブロックは、それぞれ扱う信号の周波数、種類（アナログとデジタル）が異なるため、それぞれの回路ブロック間の相互干渉を防ぐために、各ブロック毎に独立に電源が供給されている。即ち、第1の周波数変換処理部102には電源端子121より電源B₁が、第1のPLL回路部110には電源端子122より電源B₂が、第2の周波数変換処理部112には電源端子123より電源B₃が、第2のPLL回路部118には電源端子124より電源B₄が、それぞれ供給されている。

【0020】図6において、従来例のシングルコンバージョンチューナ装置130は、受信した高周波信号を1回の周波数変換処理によって、中間周波信号を出力するものであり、周波数変換処理部132、PLL回路部140とから成る。

【0021】周波数変換処理部132は、BPF13

3、自動利得制御回路134、高周波増幅回路135、周波数変換器136、局部発振器137、BPF138、中間周波増幅回路139とから成る。

【0022】高周波信号入力端子131より入力された高周波信号は、BPF133により、受信周波数帯域に対応したフィルタリング処理が施され、自動利得制御回路134にて入力された高周波信号のレベルに応じた利得制御電圧により、所定のレベル範囲に制限された後、高周波増幅回路135により増幅されて、周波数変換器136に供給される。

【0023】周波数変換器136は、局部発振器137から出力される局部発振信号に基づいて、入力された高周波信号を中間周波信号に周波数変換（ダウンコンバート）している。該入力された高周波信号の周波数を f_H とし、第1の局部発振信号の周波数を f_{LO} とし、第1の中間周波信号の周波数を f_{IF} とすると、

$$f_{LO} - f_H = f_{IF} \quad \dots (3)$$

となる。

【0024】局部発振器137は、PLL回路部140の、PLL回路141によって、受信チャンネルに合わせてその発振周波数が安定的に制御される。

【0025】周波数変換器136から出力された中間周波信号は、BPF138により、中間周波信号の周波数帯域に対応したフィルタリング処理が施され、中間周波増幅回路139で増幅された後、中間周波信号出力端子142より出力される。

【0026】図6の従来例のシングルコンバージョンチューナ装置130において、電源は前記2つの回路ブロック毎に独立して供給されている。前記2つの回路ブロックとは、周波数変換処理部132、PLL回路部140である。

【0027】周波数変換処理部132は、BPF133、自動利得制御回路134、高周波増幅回路135、周波数変換器136、局部発振器137、BPF138、中間周波増幅回路139とから成り、受信した高周波信号を中間周波信号に変換する働きをし、主にアナログ信号を扱う回路である。

【0028】PLL回路部140は、PLL回路141から成り、受信チャンネルに合わせて、局部発振器137の発振周波数を制御すると共に、その周波数を安定化する働きをし、主にデジタル信号を扱う回路である。

【0029】上記のように、2つの回路ブロックは、それぞれ扱う信号の周波数、種類（アナログとデジタル）が異なるため、それぞれの回路ブロック間の相互干渉を防ぐために、各ブロック毎に独立に電源が供給されている。即ち、周波数変換処理部132には電源端子143より電源B₁が、PLL回路部140には電源端子144より電源B₂が、それぞれ供給されている。

【0030】図7は、前記に説明した従来例のチューナ装置の外観図であり、図7(a)は側面図、図7(b)

は正面図である。図 7 (a) 及び図 7 (b) において、151 は高周波信号入力端子、152 はシャーシアングル、153 と 154 はシールドぶた、155 は貫通端子、156 は回路基板である。

【0031】チューナ装置の内部回路基板（図示せず）は、シャーシアングル 152 とシールドぶた 153、154 から構成されるシールドケースでシールドされている。シールドケースは、内部回路基板からの高周波信号の漏れを防いだり、外部の不要な高周波信号が、チューナ装置の内部回路基板に影響を与えないような働きをする。

【0032】また、チューナ装置の内部回路基板と外部の回路基板 156 との信号のやりとりは、貫通端子 155 を介して行う。貫通端子 155 は、貫通コンデンサで構成され、貫通端子 155 とシャーシアングル 152 間で容量（キャパシタンス）を形成し、これにより、貫通端子 155 からの不要な高周波信号の漏れや侵入を防いでいる。

【0033】前記図 5 の高周波信号入力端子 101 と、図 6 の高周波信号入力端子 131 は、図 7 の高周波信号入力端子 151 に該当する。また、前記図 5 の中間周波信号出力端子 120、電源端子 121、122、123、124 と、図 6 の中間周波信号出力端子 142、電源端子 143、144 は、図 7 の貫通端子 155 に該当する。

【0034】

【発明が解決しようとする課題】しかしながら、これら前記従来のチューナ装置は、次のような問題を有している。最近、電子機器の小型化薄型化の傾向にあり、電子機器に組み込まれるチューナ装置も小型化薄型化が進んでいる。チューナ装置の小型化薄型化は、チューナ回路の IC 化により、回路部品点数を減らしたり、小型薄型部品の採用等で、内部回路基板を小さくすることで進められるが、図 7 に示すように、貫通端子 155 を横一列に並べて取り付けスペースが必要であり、このスペース以下にチューナ装置の外形を小さく出来ない。また、貫通端子 155 を 2 列以上に並べることは、チューナ装置の厚みが増えて好ましくない。即ち、貫通端子 155 を取り付けスペース以下に、チューナ装置の外形を小さく出来ない問題があった。

【0035】加えて、チューナ装置の内部回路ブロック毎に独立して、外部より電源を供給する必要があるという不便があった。

【0036】

【課題を解決するための手段】本発明の請求項 1 記載のチューナ装置は、PLL 回路により、局部発振器の局部発振信号の周波数を制御し、該局部発振信号の周波数に基づいて周波数変換を行う周波数変換手段を有するチューナ装置において、PLL 回路部の電源電圧と該 PLL 回路部以外のチューナ回路部の電源電圧とを異なる電圧

値とし、PLL 回路部の電源入力部と該 PLL 回路部以外のチューナ回路部の電源入力部間に、電圧変換手段を備えることにより、PLL 回路部の電源入力部と該 PLL 回路部以外のチューナ回路部の電源入力部とを共通の 1 つの電源入力部としたことを特徴とするものである。

【0037】本発明の請求項 2 記載のチューナ装置は、PLL 回路部の電源電圧を、該 PLL 回路部以外のチューナ回路部の電源電圧より低い電圧値とし、PLL 回路部の電源入力部と該 PLL 回路部以外のチューナ回路部の電源入力部間に、電圧降下手段を備えることにより、PLL 回路部以外のチューナ回路部の電源入力部より供給された電源を、電圧降下手段を介して PLL 回路部に電源供給することを特徴とするものである。

【0038】本発明の請求項 3 記載のチューナ装置は、PLL 回路部の電源電圧を、該 PLL 回路部以外のチューナ回路部の電源電圧より高い電圧値とし、PLL 回路部の電源入力部と該 PLL 回路部以外のチューナ回路部の電源入力部間に、電圧降下手段を備えることにより、PLL 回路部の電源入力部より供給された電源を、電圧降下手段を介して PLL 回路部以外のチューナ回路部に電源供給することを特徴とするものである。

【0039】

【発明の実施の形態】図 1 は、本発明の一実施例の形態よりなるダブルコンバージョンチューナ装置の概略的構成を示すブロック回路図であり、図 2 は、本発明の一実施例の形態よりなるシングルコンバージョンチューナ装置の概略的構成を示すブロック回路図である。また、図 3 は、本発明の他の一実施例の形態よりなるダブルコンバージョンチューナ装置の概略的構成を示すブロック回路図であり、図 4 は、本発明の他の一実施例の形態よりなるシングルコンバージョンチューナ装置の概略的構成を示すブロック回路図である。

【0040】以下、図 1、図 2 を用いて本発明の一実施例の形態よりなるチューナ装置について説明する。図 1 の本発明の一実施例の形態よりなるダブルコンバージョンチューナ装置 10 は、受信した高周波信号を 2 回の周波数変換処理によって、中間周波信号を出力するものであり、第 1 の周波数変換処理部 12、第 1 の PLL 回路部 20、第 2 の周波数変換処理部 22、第 2 の PLL 回路部 28 とから成る。

【0041】第 1 の周波数変換処理部 12 は、BPF 13、自動利得制御回路 14、高周波増幅回路 15、第 1 の周波数変換器 16、第 1 の局部発振器 17、第 1 の BPF 18、第 1 の中間周波増幅回路 19 とから成る。

【0042】高周波信号入力端子 11 より入力された高周波信号は、BPF 13 により、受信周波数帯域に対応したフィルタリング処理が施され、自動利得制御回路 14 にて入力された高周波信号のレベルに応じた利得制御電圧により、所定のレベル範囲に制限された後、高周波増幅回路 15 により増幅されて、第 1 の周波数変換器 1

6に供給される。

【0043】第1の周波数変換器16は、第1の局部発振器17から出力される第1の局部発振信号に基づいて、入力された高周波信号を第1の中間周波信号に周波数変換（アップコンバート）している。該入力された高周波信号の周波数を f_{rf} とし、第1の局部発振信号の周波数を f_{lo1} とし、第1の中間周波信号の周波数を f_{if1} とすると、

$$f_{lo1} - f_{rf} = f_{if1} \quad \dots (4)$$

となる。

【0044】第1の局部発振器17は、第1のPLL回路部20の、第1のPLL回路21によって、受信チャンネルに合わせてその発振周波数が安定的に制御される。

【0045】第1の周波数変換器16から出力された第1の中間周波信号は、第1のBPF18により、第1の中間周波信号の周波数帯域に対応したフィルタリング処理が施され、第1の中間周波増幅回路19で増幅された後、第2の周波数変換処理部22に供給される。

【0046】第2の周波数変換処理部22は、第1のBPF23、第2の周波数変換器24、第2の局部発振器25、第2のBPF26、第2の中間周波増幅回路27とから成る。

【0047】第1の周波数変換処理部12より供給された第1の中間周波信号は、再度第1のBPF23により、第1の中間周波信号の周波数帯域に対応したフィルタリング処理が施され、第2の周波数変換器24に供給される。

【0048】第2の周波数変換器24は、第2の局部発振器25から出力される第2の局部発振信号に基づいて、入力された第1の中間周波信号を第2の中間周波信号に周波数変換（ダウンコンバート）している。該入力された第1の中間周波信号の周波数を f_{if1} とし、第2の局部発振信号の周波数を f_{lo2} とし、第2の中間周波信号の周波数を f_{if2} とすると、

$$|f_{if1} - f_{lo2}| = f_{if2} \quad \dots (5)$$

となる。

【0049】第2の局部発振器25は、第2のPLL回路部28の、第2のPLL回路29によって、その発振周波数が安定的に制御される。

【0050】第2の周波数変換器24から出力された第2の中間周波信号は、第2のBPF26により、第2の中間周波信号の周波数帯域に対応したフィルタリング処理が施され、第2の中間周波増幅回路27で増幅された後、中間周波信号出力端子30より出力される。

【0051】図1の本発明の一実施例の形態よりなるダブルコンバージョンチューナ装置10において、電源は前記4つの回路ブロック毎に独立して供給されている。前記4つの回路ブロックとは、第1の周波数変換処理部12、第1のPLL回路部20、第2の周波数変換処理

部22、第2のPLL回路部28、である。

【0052】第1の周波数変換処理部12は、BPF13、自動利得制御回路14、高周波増幅回路15、第1の周波数変換器16、第1の局部発振器17、第1のBPF18、第1の中間周波増幅回路19とから成り、受信した高周波信号を第1の中間周波信号に変換する働きをし、主にアナログ信号を扱う回路である。

【0053】第1のPLL回路部20は、第1のPLL回路21から成り、受信チャンネルに合わせて、第1の局部発振器17の発振周波数を制御すると共に、その周波数を安定化する働きをし、主にデジタル信号を扱う回路である。

【0054】第2の周波数変換処理部22は、第1のBPF23、第2の周波数変換器24、第2の局部発振器25、第2のBPF26、第2の中間周波増幅回路27とから成り、第1の中間周波信号を第2の中間周波信号に変換する働きをし、主にアナログ信号を扱う回路である。

【0055】第2のPLL回路部28は、第2のPLL回路29から成り、第2の局部発振器25の発振周波数を安定化する働きをし、主にデジタル信号を扱う回路である。

【0056】上記のように、4つの回路ブロックは、それぞれ扱う信号の周波数、種類（アナログとデジタル）が異なるため、それぞれの回路ブロック間の相互干渉を防ぐために、各ブロック毎に独立に電源が供給されている。即ち、第1の周波数変換処理部12には電源端子31より電源 B_n が、第1のPLL回路部20には電源端子31より電圧変換回路33を介して電源 B_{n1} が、第2の周波数変換処理部22には電源端子32より電源 B_{n2} が、第2のPLL回路部28には電源端子32より電圧変換回路34を介して電源 B_{n2} が、それぞれ供給されている。

【0057】上記の通り、電圧変換回路33は、電源 B_n の電圧 V_n を電源 B_{n1} の電圧 V_{n1} （ $V_n \neq V_{n1}$ ）に変換し、電圧変換回路34は、電源 B_{n2} の電圧 V_{n2} を電源 B_{n2} の電圧 V_{n2} （ $V_{n2} \neq V_{n2}$ ）に変換し、かつ電源 B_n と電源 B_{n1} 間、電源 B_{n2} と電源 B_{n2} 間それぞれのアイソレーションを保つ働きをする。

【0058】そして、第1の周波数変換処理部12と第1のPLL回路部20には共通の電源端子31より電源が供給され、第2の周波数変換処理部22と第2のPLL回路部28には共通の電源端子32より電源が供給される。

【0059】また、電圧変換回路33、電圧変換回路34に、3端子レギュレータIC等を使用し電圧を降下させた場合は、上記電源電圧 V_n と電源電圧 V_{n1} との関係は $V_n > V_{n1}$ 、電源電圧 V_{n2} と電源電圧 V_{n2} との関係は $V_{n2} > V_{n2}$ となる。

【0060】図2の本発明の一実施例の形態よりなるシ

ングルコンバージョンチューナ装置 50 は、受信した高周波信号を 1 回の周波数変換処理によって、中間周波信号を出力するものであり、周波数変換処理部 52、PLL 回路部 60 とから成る。

【0061】周波数変換処理部 52 は、BPF 53、自動利得制御回路 54、高周波増幅回路 55、周波数変換器 56、局部発振器 57、BPF 58、中間周波増幅回路 59 とから成る。

【0062】高周波信号入力端子 51 より入力された高周波信号は、BPF 53 により、受信周波数帯域に対応したフィルタリング処理が施され、自動利得制御回路 54 にて入力された高周波信号のレベルに応じた利得制御電圧により、所定のレベル範囲に制限された後、高周波増幅回路 55 により増幅されて、周波数変換器 56 に供給される。

【0063】周波数変換器 56 は、局部発振器 57 から出力される局部発振信号に基づいて、入力された高周波信号を中間周波信号に周波数変換（ダウンコンバート）している。該入力された高周波信号の周波数を f_{RF} とし、第 1 の局部発振信号の周波数を f_{LO} とし、第 1 の中間周波信号の周波数を f_{IF} とするとき、

$$f_{LO} - f_{RF} = f_{IF} \quad \dots (6)$$
 となる。

【0064】局部発振器 57 は、PLL 回路部 60 の、PLL 回路 61 によって、受信チャンネルに合わせてその発振周波数が安定的に制御される。

【0065】周波数変換器 56 から出力された中間周波信号は、BPF 58 により、中間周波信号の周波数帯域に対応したフィルタリング処理が施され、中間周波増幅回路 59 で増幅された後、中間周波信号出力端子 62 より出力される。

【0066】図 2 の本発明の一実施例の形態よりなるシングルコンバージョンチューナ装置 50 において、電源は前記 2 つの回路ブロック毎に独立して供給されている。前記 2 つの回路ブロックとは、周波数変換処理部 52、PLL 回路部 60 である。

【0067】周波数変換処理部 52 は、BPF 53、自動利得制御回路 54、高周波増幅回路 55、周波数変換器 56、局部発振器 57、BPF 58、中間周波増幅回路 59 とから成り、受信した高周波信号を中間周波信号に変換する働きをし、主にアナログ信号を扱う回路である。

【0068】PLL 回路部 60 は、PLL 回路 61 から成り、受信チャンネルに合わせて、局部発振器 57 の発振周波数を制御すると共に、その周波数を安定化する働きをし、主にデジタル信号を扱う回路である。

【0069】上記のように、2 つの回路ブロックは、それぞれ扱う信号の周波数、種類（アナログとデジタル）が異なるため、それぞれの回路ブロック間の相互干渉を防ぐために、各ブロック毎に独立に電源が供給されてい

る。即ち、周波数変換処理部 52 には電源端子 63 より電源 B_1 の電圧 V_1 が、PLL 回路部 60 には電源端子 63 より電圧変換回路 64 を介して電源 B_2 の電圧 V_2 が、それぞれ供給されている。

【0070】上記の通り、電圧変換回路 64 は、電源 B_1 の電圧 V_1 を電源 B_2 の電圧 V_2 ($V_1 \neq V_2$) に変換し、かつ電源 B_1 と電源 B_2 間のアイソレーションを保つ働きをする。

【0071】そして、周波数変換処理部 52 と PLL 回路部 60 には共通の電源端子 63 より電源が供給される。

【0072】また、電圧変換回路 64 に、3 端子レギュレータ IC 等を使用し電圧を低下させた場合は、上記電源電圧 V_1 と電源電圧 V_2 との関係は $V_1 > V_2$ となる。

【0073】図 3 は、本発明の他の一実施例の形態よりなるダブルコンバージョンチューナ装置の概略的構成を示すブロック回路図であり、図 4 は、本発明の他の一実施例の形態よりなるシングルコンバージョンチューナ装置の概略的構成を示すブロック回路図である。

【0074】以下、図 3、図 4 を用いて本発明の他の一実施例の形態よりなるチューナ装置について説明する。

【0075】図 3 の本発明の他の一実施例の形態よりなるダブルコンバージョンチューナ装置 40 において、前記図 1 に示した本発明の一実施例の形態よりなるダブルコンバージョンチューナ装置 10 と同様の機能を有する構成箇所には同じ番号を付記すると、図 1 と比較して、電源端子 41、42 と、電圧変換回路 43、44 が異なる。

【0076】図 3 の本発明の他の一実施例の形態よりなるダブルコンバージョンチューナ装置 40 は、受信した高周波信号を 2 回の周波数変換処理によって、中間周波信号を出力するものであり、第 1 の周波数変換処理部 12、第 1 の PLL 回路部 20、第 2 の周波数変換処理部 22、第 2 の PLL 回路部 28 とから成る。

【0077】第 1 の周波数変換処理部 12 は、BPF 13、自動利得制御回路 14、高周波増幅回路 15、第 1 の周波数変換器 16、第 1 の局部発振器 17、第 1 の BPF 18、第 1 の中間周波増幅回路 19 とから成る。

【0078】高周波信号入力端子 11 より入力された高周波信号は、BPF 13 により、受信周波数帯域に対応したフィルタリング処理が施され、自動利得制御回路 14 にて入力された高周波信号のレベルに応じた利得制御電圧により、所定のレベル範囲に制限された後、高周波増幅回路 15 により増幅されて、第 1 の周波数変換器 16 に供給される。

【0079】第 1 の周波数変換器 16 は、第 1 の局部発振器 17 から出力される第 1 の局部発振信号に基づいて、入力された高周波信号を第 1 の中間周波信号に周波数変換（アップコンバート）している。該入力された高周波信号の周波数を f_{RF} とし、第 1 の局部発振信号の周

波数を f_{LO1} とし、第 1 の中間周波信号の周波数を f_{IF1} とするとき、

$$f_{LO1} - f_{RF} = f_{IF1} \quad \dots (7)$$

となる。

【0080】第 1 の局部発振器 17 は、第 1 の PLL 回路部 20 の、第 1 の PLL 回路 21 によって、受信チャンネルに合わせてその発振周波数が安定的に制御される。

【0081】第 1 の周波数変換器 16 から出力された第 1 の中間周波信号は、第 1 の BPF 18 により、第 1 の中間周波信号の周波数帯域に対応したフィルタリング処理が施され、第 1 の中間周波増幅回路 19 で増幅された後、第 2 の周波数変換処理部 22 に供給される。

【0082】第 2 の周波数変換処理部 22 は、第 1 の BPF 23、第 2 の周波数変換器 24、第 2 の局部発振器 25、第 2 の BPF 26、第 2 の中間周波増幅回路 27 とから成る。

【0083】第 1 の周波数変換処理部 12 より供給された第 1 の中間周波信号は、再度第 1 の BPF 23 により、第 1 の中間周波信号の周波数帯域に対応したフィルタリング処理が施され、第 2 の周波数変換器 24 に供給される。

【0084】第 2 の周波数変換器 24 は、第 2 の局部発振器 25 から出力される第 2 の局部発振信号に基づいて、入力された第 1 の中間周波信号を第 2 の中間周波信号に周波数変換（ダウンコンバート）している。該入力された第 1 の中間周波信号の周波数を f_{IF1} とし、第 2 の局部発振信号の周波数を f_{LO2} とし、第 2 の中間周波信号の周波数を f_{IF2} とするとき、

$$|f_{IF1} - f_{LO2}| = f_{IF2} \quad \dots (8)$$

となる。

【0085】第 2 の局部発振器 25 は、第 2 の PLL 回路部 28 の、第 2 の PLL 回路 29 によって、その発振周波数が安定的に制御される。

【0086】第 2 の周波数変換器 24 から出力された第 2 の中間周波信号は、第 2 の BPF 26 により、第 2 の中間周波信号の周波数帯域に対応したフィルタリング処理が施され、第 2 の中間周波増幅回路 27 で増幅された後、中間周波信号出力端子 30 より出力される。

【0087】図 3 の本発明の他の一実施例の形態よりなるダブルコンバージョンチューナ装置 40 において、電源は前記 4 つの回路ブロック毎に独立して供給されている。前記 4 つの回路ブロックとは、第 1 の周波数変換処理部 12、第 1 の PLL 回路部 20、第 2 の周波数変換処理部 22、第 2 の PLL 回路部 28 である。

【0088】第 1 の周波数変換処理部 12 は、BPF 13、自動利得制御回路 14、高周波増幅回路 15、第 1 の周波数変換器 16、第 1 の局部発振器 17、第 1 の BPF 18、第 1 の中間周波増幅回路 19 とから成り、受信した高周波信号を第 1 の中間周波信号に変換する働き

をし、主にアナログ信号を扱う回路である。

【0089】第 1 の PLL 回路部 20 は、第 1 の PLL 回路 21 から成り、受信チャンネルに合わせて、第 1 の局部発振器 17 の発振周波数を制御すると共に、その周波数を安定化する働きをし、主にデジタル信号を扱う回路である。

【0090】第 2 の周波数変換処理部 22 は、第 1 の BPF 23、第 2 の周波数変換器 24、第 2 の局部発振器 25、第 2 の BPF 26、第 2 の中間周波増幅回路 27 とから成り、第 1 の中間周波信号を第 2 の中間周波信号に変換する働きをし、主にアナログ信号を扱う回路である。

【0091】第 2 の PLL 回路部 28 は、第 2 の PLL 回路 29 から成り、第 2 の局部発振器 25 の発振周波数を安定化する働きをし、主にデジタル信号を扱う回路である。上記のように、4 つの回路ブロックは、それぞれ扱う信号の周波数、種類（アナログとデジタル）が異なるため、それぞれの回路ブロック間の相互干渉を防ぐために、各ブロック毎に独立に電源が供給されている。即ち、第 1 の周波数変換処理部 12 には電源端子 41 より電圧変換回路 43 を介して電源 B_{11} の電圧 V_{11} が、第 1 の PLL 回路部 20 には電源端子 41 より電源 B_{11} の電圧 V_{11} が、第 2 の周波数変換処理部 22 には電源端子 42 より電圧変換回路 44 を介して電源 B_{12} の電圧 V_{12} が、第 2 の PLL 回路部 28 には電源端子 42 より電源 B_{12} の電圧 V_{12} が、それぞれ供給されている。

【0092】上記の通り、電圧変換回路 43 は、電源 B_{11} の電圧 V_{11} を電源 B_{11} の電圧 V_{11} ($V_{11} \neq V_{11}$) に変換し、電圧変換回路 44 は、電源 B_{12} の電圧 V_{12} を電源 B_{12} の電圧 V_{12} ($V_{12} \neq V_{12}$) に変換し、かつ電源 B_{11} と電源 B_{11} 間、電源 B_{12} と電源 B_{12} 間それぞれのアイソレーションを保つ働きをする。

【0093】そして、第 1 の周波数変換処理部 12 と第 1 の PLL 回路部 20 には共通の電源端子 41 より電源が供給され、第 2 の周波数変換処理部 22 と第 2 の PLL 回路部 28 には共通の電源端子 42 より電源が供給される。

【0094】また、電圧変換回路 43、電圧変換回路 44 に、3 端子レギュレータ IC 等を使用し電圧を降下させた場合は、上記電源電圧 V_{11} と電源電圧 V_{11} との関係は $V_{11} > V_{11}$ 、電源電圧 V_{12} と電源電圧 V_{12} との関係は $V_{12} > V_{12}$ となる。

【0095】図 4 の本発明の他の一実施例の形態よりなるシングルコンバージョンチューナ装置 70 において、前記図 2 に示した本発明の一実施例の形態よりなるシングルコンバージョンチューナ装置 50 と同様の機能を有する構成箇所には同じ番号を付記すると、図 2 と比較して、電源端子 71 と、電圧変換回路 72 が異なる。

【0096】図 4 の本発明の他の一実施例の形態よりなるシングルコンバージョンチューナ装置 70 は、受信し

た高周波信号を1回の周波数変換処理によって、中間周波信号を出力するものであり、周波数変換処理部52、PLL回路部60とから成る。周波数変換処理部52は、BPF53、自動利得制御回路54、高周波増幅回路55、周波数変換器56、局部発振器57、BPF58、中間周波増幅回路59とから成る。

【0097】高周波信号入力端子51より入力された高周波信号は、BPF53により、受信周波数帯域に対応したフィルタリング処理が施され、自動利得制御回路54にて入力された高周波信号のレベルに応じた利得制御電圧により、所定のレベル範囲に制限された後、高周波増幅回路55により増幅されて、周波数変換器56に供給される。

【0098】周波数変換器56は、局部発振器57から出力される局部発振信号に基づいて、入力された高周波信号を中間周波信号に周波数変換（ダウンコンバート）している。該入力された高周波信号の周波数を f_{RF} とし、第1の局部発振信号の周波数を f_{LO} とし、第1の中間周波信号の周波数を f_{IF} とすると、

$$f_{LO} - f_{RF} = f_{IF} \quad \dots (9)$$

となる。

【0099】局部発振器57は、PLL回路部60の、PLL回路61によって、受信チャンネルに合わせてその発振周波数が安定的に制御される。

【0100】周波数変換器56から出力された中間周波信号は、BPF58により、中間周波信号の周波数帯域に対応したフィルタリング処理が施され、中間周波増幅回路59で増幅された後、中間周波信号出力端子62より出力される。

【0101】図4の本発明の他の一実施例の形態よりなるシングルコンバージョンチューナ装置70において、電源は前記2つの回路ブロック毎に独立して供給されている。前記2つの回路ブロックとは、周波数変換処理部52、PLL回路部60である。周波数変換処理部52は、BPF53、自動利得制御回路54、高周波増幅回路55、周波数変換器56、局部発振器57、BPF58、中間周波増幅回路59とから成り、受信した高周波信号を中間周波信号に変換する働きをし、主にアナログ信号を扱う回路である。

【0102】PLL回路部60は、PLL回路61から成り、受信チャンネルに合わせて、局部発振器57の発振周波数を制御すると共に、その周波数を安定化する働きをし、主にデジタル信号を扱う回路である。

【0103】上記のように、2つの回路ブロックは、それぞれ扱う信号の周波数、種類（アナログとデジタル）が異なるため、それぞれの回路ブロック間の相互干渉を防ぐために、各ブロック毎に独立に電源が供給されている。

【0104】即ち、周波数変換処理部52には電源端子71より電圧変換回路72を介して電源B₁の電圧V₁

が、PLL回路部60には電源端子71より電源B₂の電圧V₂が、それぞれ供給されている。

【0105】上記の通り、電圧変換回路72は、電源B₂の電圧V₂を電源B₁の電圧V₁（ $V_2 \neq V_1$ ）に変換し、かつ電源B₂と電源B₁間のアイソレーションを保つ働きをする。

【0106】そして、周波数変換処理部52とPLL回路部60には共通の電源端子71より電源が供給される。

【0107】また、電圧変換回路72に、3端子レギュレータIC等を使用し電圧を降下させた場合は、上記電源電圧V₂と電源電圧V₁との関係は $V_2 > V_1$ となる。

【0108】

【発明の効果】本発明の請求項1記載のチューナ装置によれば、PLL回路により、局部発振器の局部発振信号の周波数を制御し、該局部発振信号の周波数に基づいて周波数変換を行う周波数変換手段を有するチューナ装置において、PLL回路部の電源電圧と該PLL回路部以外のチューナ回路部の電源電圧とを異なる電圧値とし、PLL回路部の電源入力部と該PLL回路部以外のチューナ回路部の電源入力部間に、電圧変換手段を備えることにより、PLL回路部の電源入力部と該PLL回路部以外のチューナ回路部の電源入力部とを共通の1つの電源入力部としたことを特徴とするものである。従って、PLL回路部の電源入力部と該PLL回路部以外のチューナ回路部の電源入力部とを共通の1つの電源入力部としたことにより、電源入力部の貫通端子の数を減らし、シャーシにおける貫通端子の取り付けのスペースを狭め、従来よりもさらに小型のチューナ装置を提供することができる。さらに、外部から独立に供給する電源の数を減らすことにより、使い勝手を向上させることができる。

【0109】本発明の請求項2記載のチューナ装置によれば、PLL回路部の電源電圧を、該PLL回路部以外のチューナ回路部の電源電圧より低い電圧値とし、PLL回路部の電源入力部と該PLL回路部以外のチューナ回路部の電源入力部間に、電圧降下手段を備えることにより、PLL回路部以外のチューナ回路部の電源入力部より供給された電源を、電圧降下手段を介してPLL回路部に電源供給することを特徴とするものである。従って、PLL回路部以外のチューナ回路部の電源入力部より供給された電源を、電圧降下手段を介してPLL回路部に電源供給することにより、PLL回路部の電源入力部の貫通端子の数を減らし、シャーシにおける貫通端子の取り付けのスペースを狭め、従来よりもさらに小型のチューナ装置を提供することができる。さらに、PLL回路部の電源をPLL回路部以外のチューナ回路部の電源入力部より供給することで電源の数を減らすことにより、使い勝手を向上させることができる。

【0110】本発明の請求項3記載のチューナ装置によ

れば、PLL回路部の電源電圧を、該PLL回路部以外のチューナ回路部の電源電圧より高い電圧値とし、PLL回路部の電源入力部と該PLL回路部以外のチューナ回路部の電源入力部間に、電圧降下手段を備えることにより、PLL回路部の電源入力部より供給された電源を、電圧降下手段を介してPLL回路部以外のチューナ回路部に電源供給することを特徴とするものである。従って、PLL回路部の電源入力部より供給された電源を、電圧降下手段を介してPLL回路部以外のチューナ回路部に電源供給することにより、PLL回路部以外の

【図面の簡単な説明】

【図1】本発明の一実施の形態よりなるダブルコンバージョンチューナ装置の概略的構成を示すブロック回路図である。

【図2】本発明の一実施の形態よりなるシングルコンバージョンチューナ装置の概略的構成を示すブロック回路図である。

【図3】本発明の他の一実施の形態よりなるダブルコンバージョンチューナ装置の概略的構成を示すブロック回路図である。

【図4】本発明の他の一実施の形態よりなるシングルコンバージョンチューナ装置の概略的構成を示すブロック回路図である。

【図5】従来例のダブルコンバージョンチューナ装置の*

* 概略的構成を示すブロック回路図である。

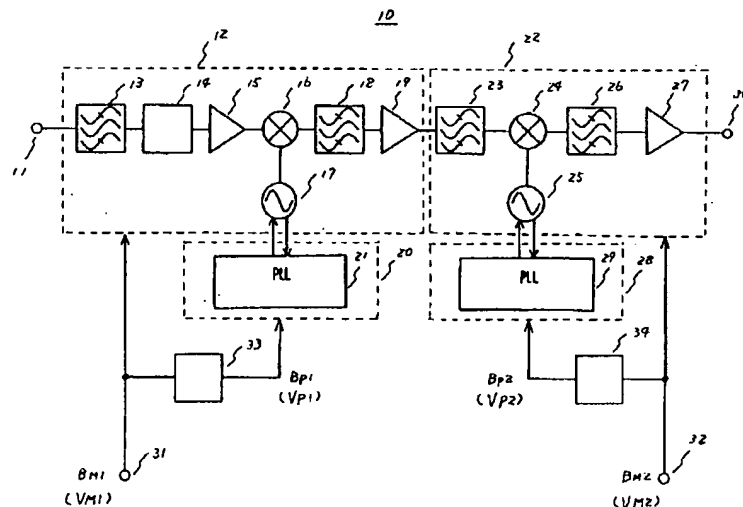
【図6】従来例のシングルコンバージョンチューナ装置の概略的構成を示すブロック回路図である。

【図7】従来例のチューナ装置の外観図であり、(a)は側面図、(b)は正面図である。

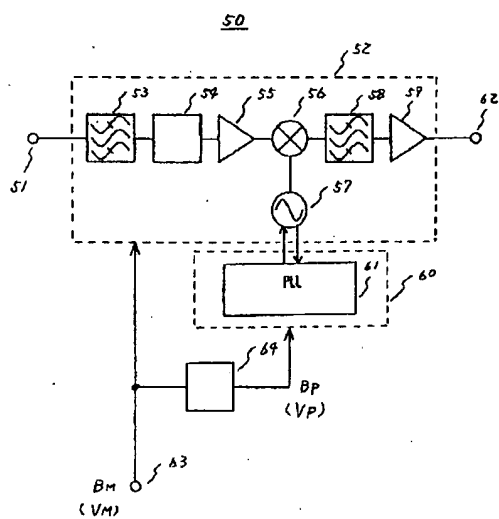
【符号の説明】

- | | |
|----|------------------|
| 10 | ダブルコンバージョンチューナ装置 |
| 11 | 高周波信号入力端子 |
| 12 | 第1の周波数変換処理部 |
| 13 | BPF |
| 14 | 自動利得制御回路 |
| 15 | 高周波増幅回路 |
| 16 | 第1の周波数変換器 |
| 17 | 第1の局部発振器 |
| 18 | 第1のBPF |
| 19 | 第1の中間周波増幅回路 |
| 20 | 第1のPLL回路部 |
| 21 | 第1のPLL回路 |
| 22 | 第2の周波数変換処理部 |
| 23 | 第1のBPF |
| 24 | 第2の周波数変換器 |
| 25 | 第2の局部発振器 |
| 26 | 第2のBPF |
| 27 | 第2の中間周波増幅回路 |
| 28 | 第2のPLL回路部 |
| 29 | 第2のPLL回路 |
| 30 | 中間周波信号出力端子 |
| 31 | 電源端子 |
| 32 | 電源端子 |
| 33 | 電圧変換回路 |
| 34 | 電圧変換回路 |

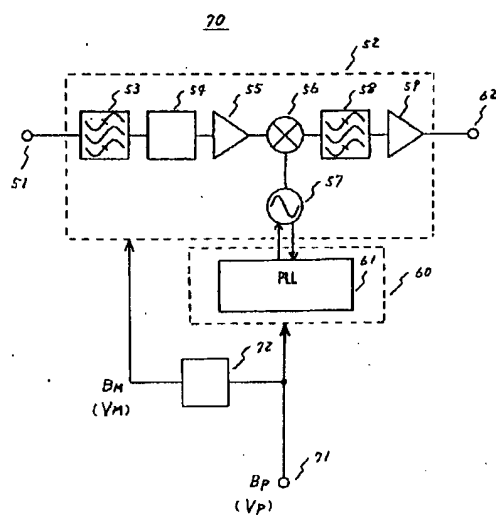
【図1】



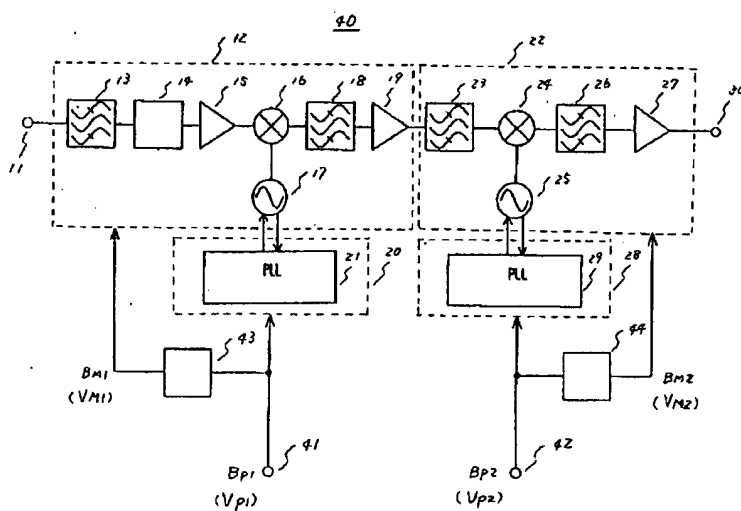
【図2】



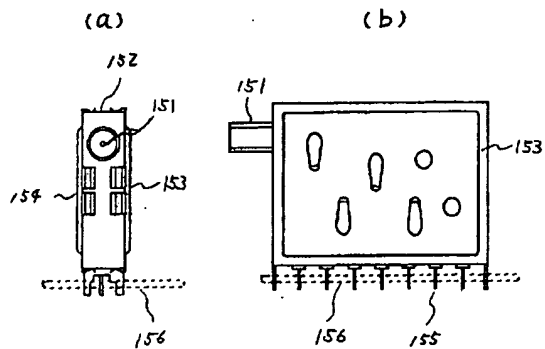
【図4】



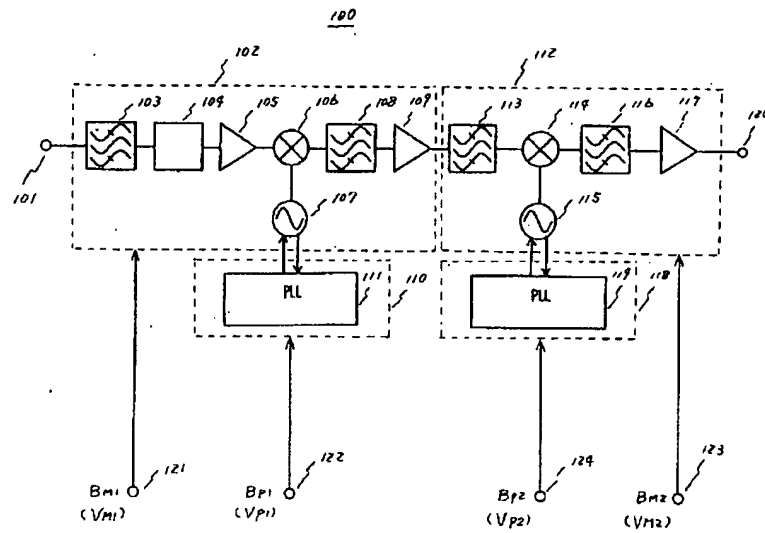
【図3】



【図7】



【図5】



【図6】

